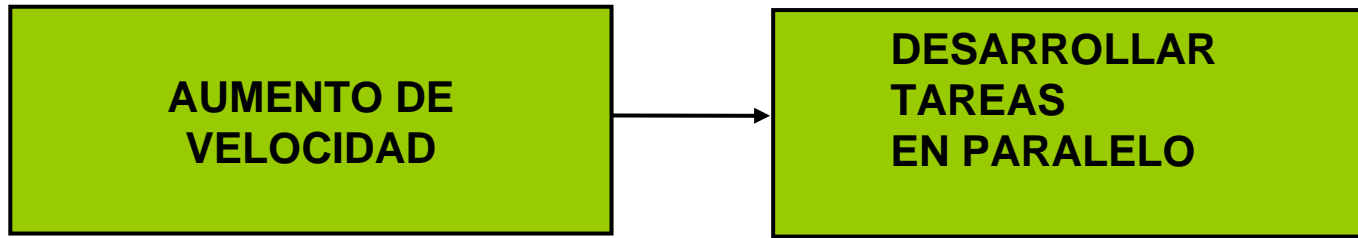


ARQUITECTURAS DE 16 BITS



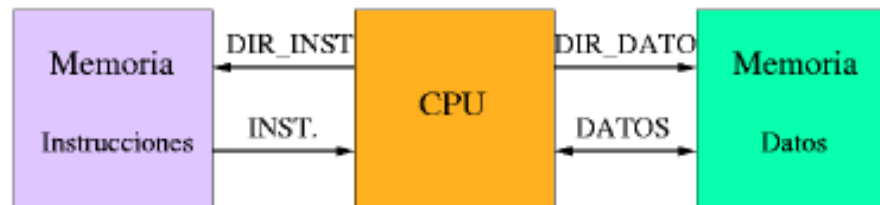
- **TAREAS DENTRO DEL PROCESADOR:**
 - “Pipeline”
 - Arquitectura Harvard
- **TAREAS FUERA DEL PROCESADOR:**
 - Multiprocesamiento

Arquitectura. Modelos Von-Neumann y Harvard

Arquitectura VON-NEWMANN



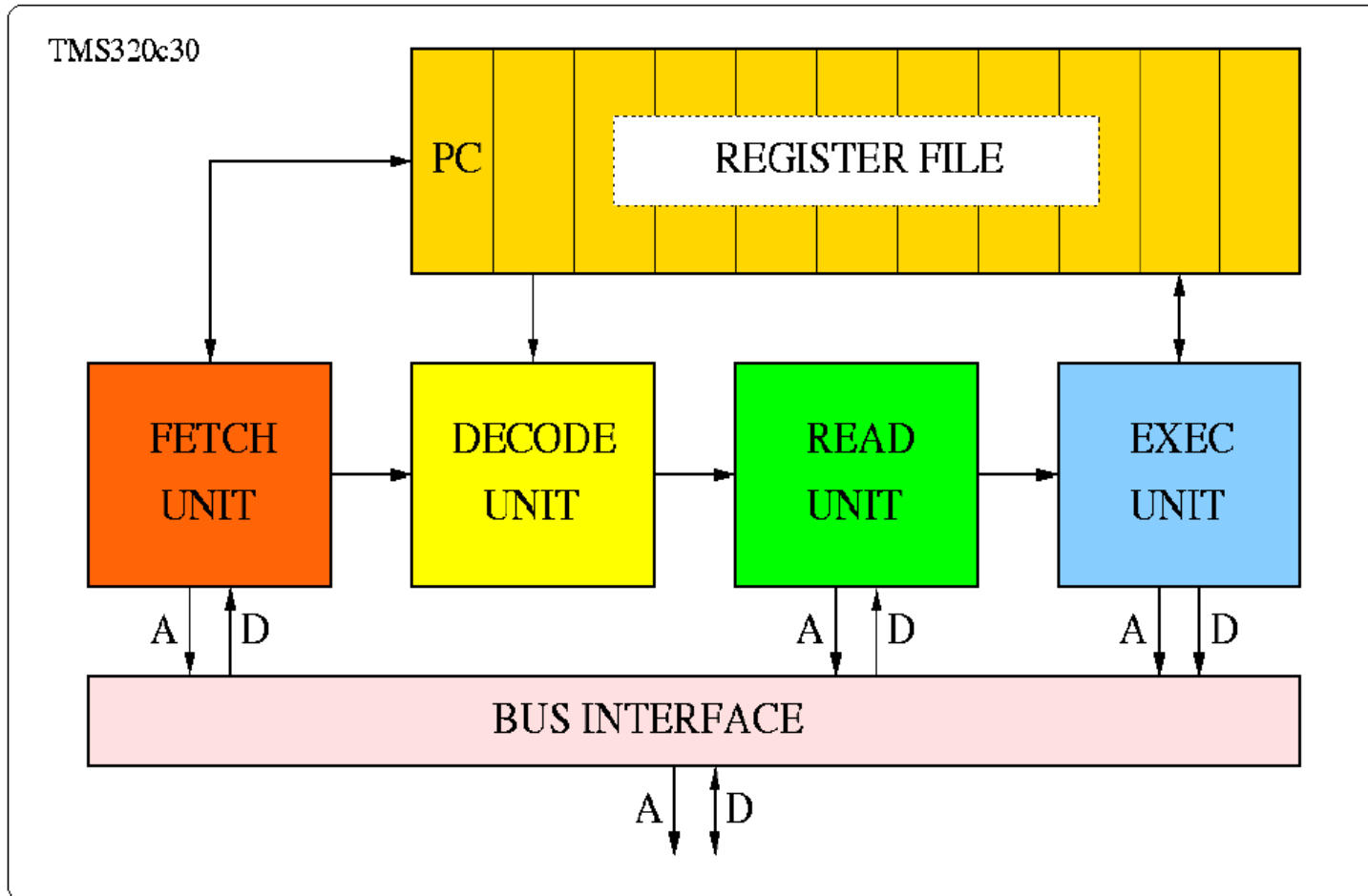
Arquitectura HARVARD

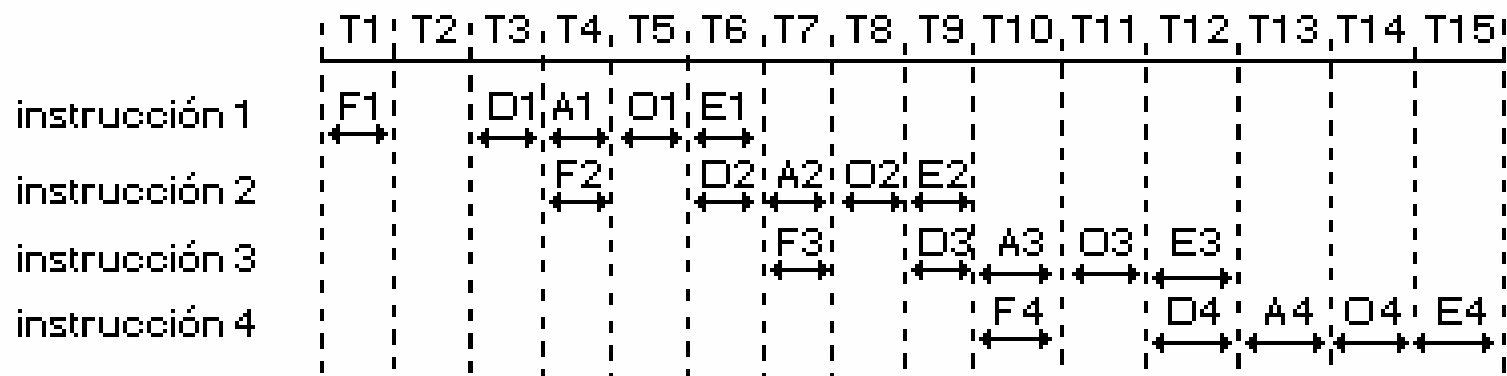
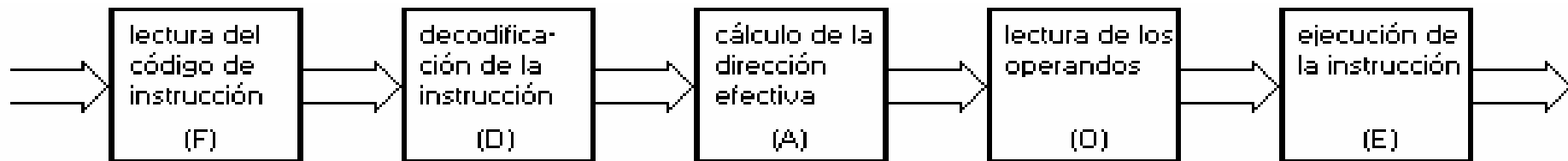


Arquitecturas avanzadas: Pipelining

- Concepto de Pipeline
 - Dividir la ejecución de todas las instrucciones en un número fijo de etapas.
 - Cada etapa se ejecuta en una unidad diferente.
 - Todas las unidades están operando simultáneamente sobre distintas instrucciones.

Pipeline





F = toma el código de operación
 D = decodifica el código de operación
 A = calcula la dirección efectiva
 O = toma los operandos
 E = ejecuta la instrucción

Pipeline 8086

Pipeline 8086:

Arquitectura de 2 etapas

- La primera de ellas, denominada *BIU (bus interfase unit)*, se encarga de mantener la memoria ocupada, buscando instrucciones de una a la vez desde lugares secuenciales de memoria y las almacena en la cola.
- La segunda etapa, denominada *EU (execution unit)*, se encarga de tomar las instrucciones de la cola y ejecutarlas.

Mejora: *buffer FIFO* (cola) de 6 bytes entre ambas unidades.

MULTIPROCESAMIENTO

- Implementación de sistemas con procesamiento distribuido; varios procesadores
- las arquitecturas de multiprocesamiento soportan dos clases de procesadores:
 - *PROCESADORES INDEPENDIENTES*
 - *COPROCESADORES*

MULTIPROCESAMIENTO

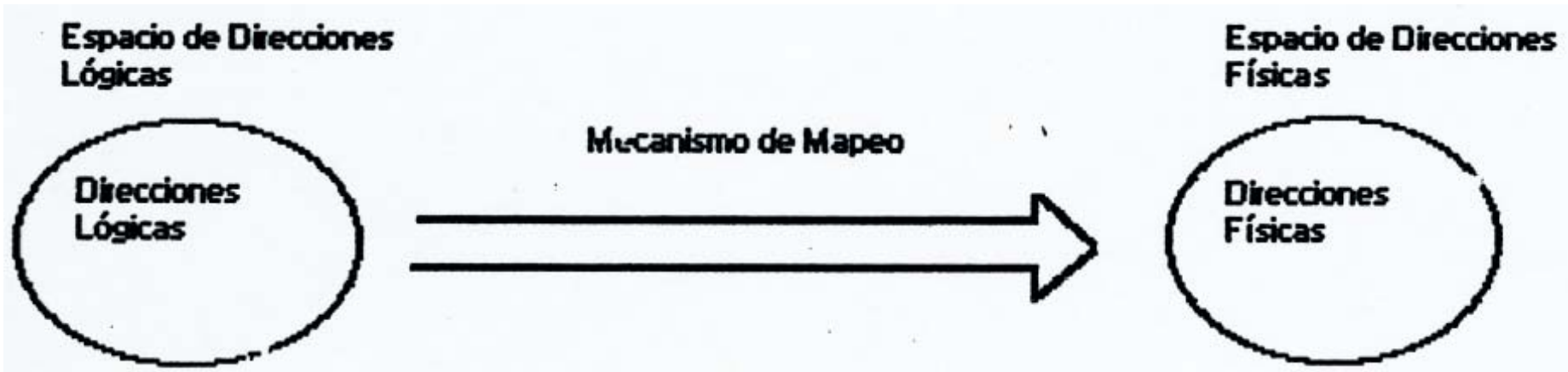
- PROBLEMAS CLÁSICOS DE COORDINACIÓN DE ACTIVIDADES EN MULTIPROCESAMIENTO:
 - *ARBITRAJE DE CANALES*
 - *EXCLUSION MUTUA*

Organización de Memoria

"espacio de direcciones físicas" y "espacio de direcciones lógicas".

El número asociado con cada uno de esos lugares de almacenamiento físico se denomina "***dirección física***"

Las direcciones empleadas por el programador para especificar una información particular se denomina "***dirección lógica***"

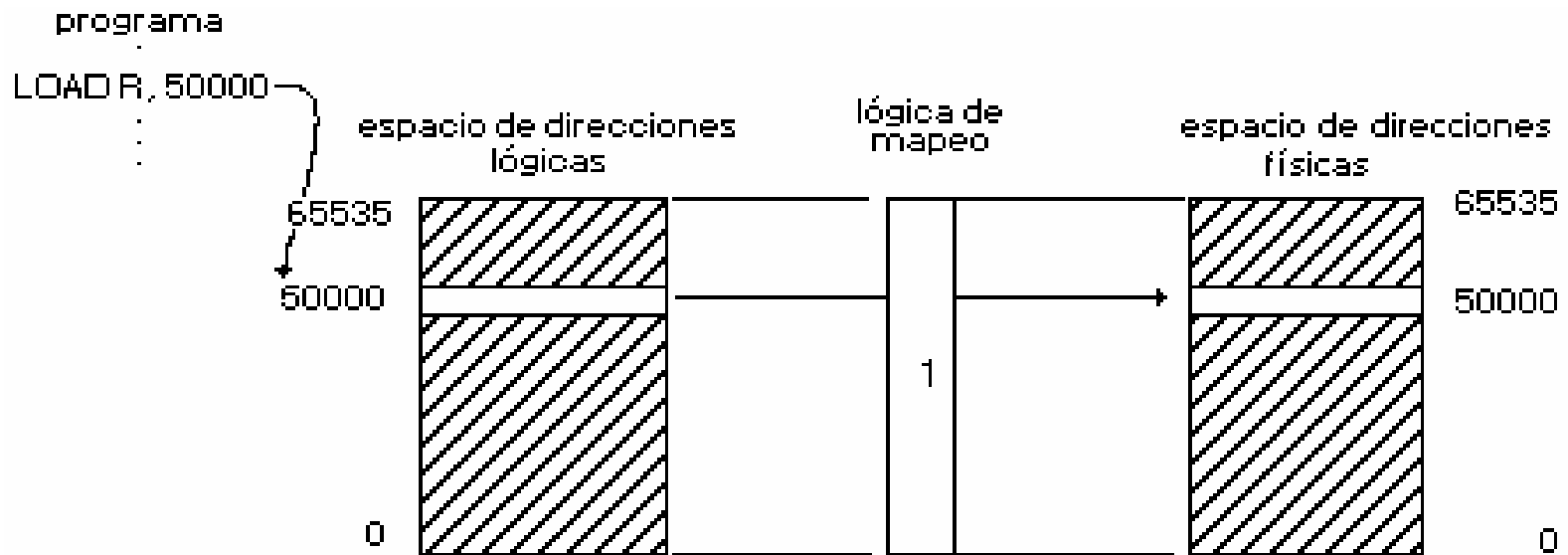


Estructura del Espacio de Direcciones Lógicas

- Memoria Lineal
- Memoria Segmentada

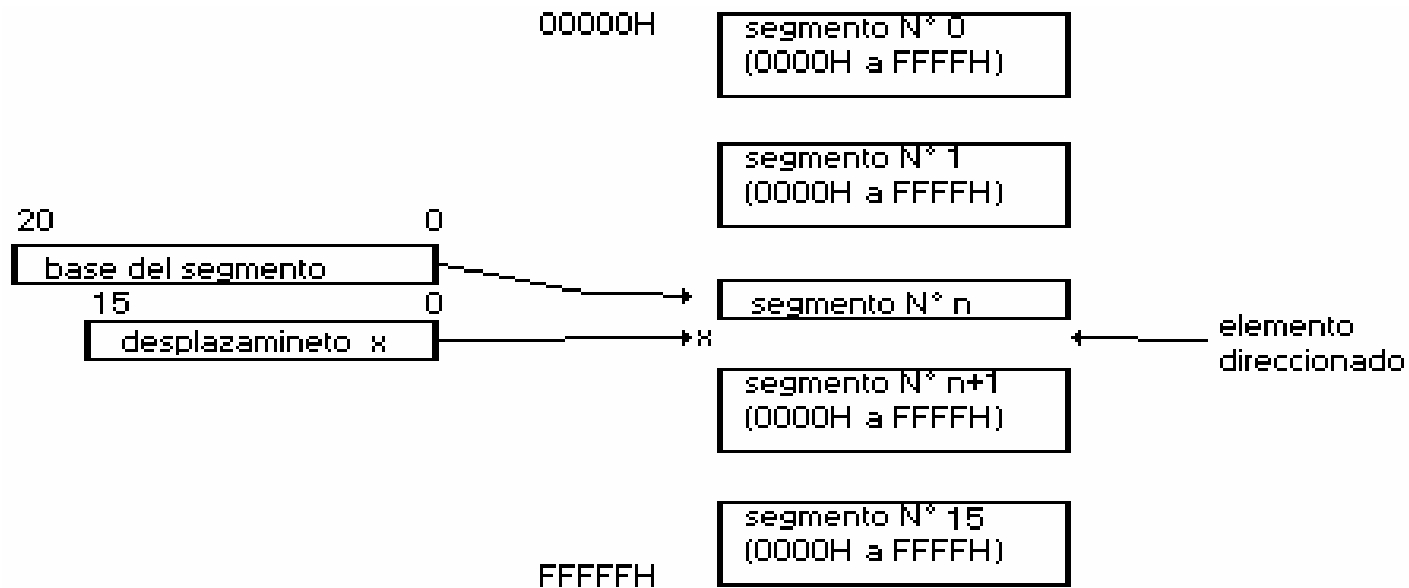
Memoria Lineal

- direcciones contiguas
- directamente utilizadas por el hardware



Memoria Segmentada

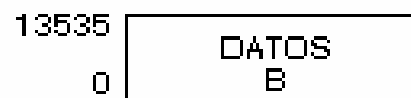
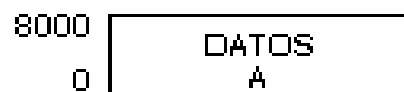
- conjunto separado de espacios de direcciones lógicas de memoria lineal
- la dirección base de comienzo del segmento y el desplazamiento o distancia ("offset")



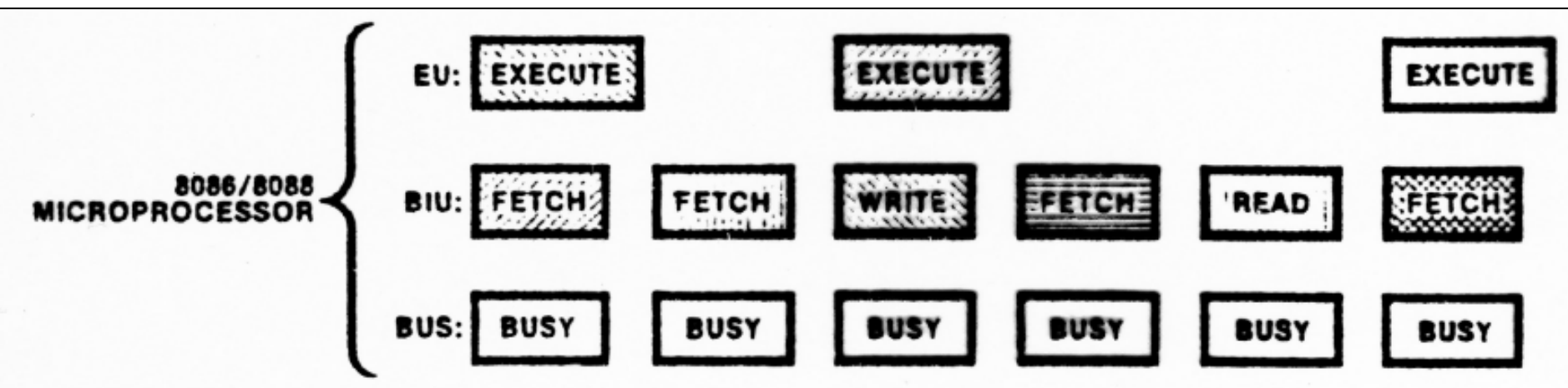
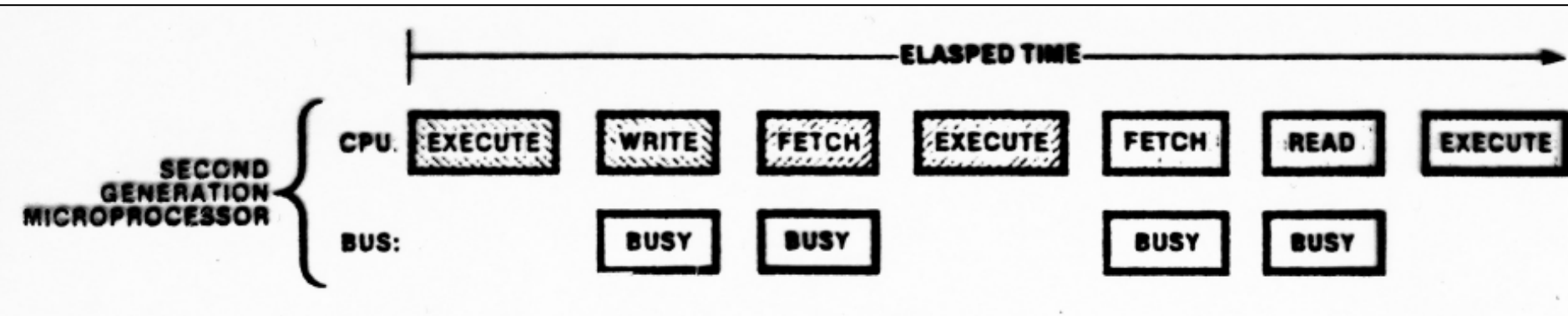
espacio de direcciones lógicas
de una memoria lineal



espacio de direcciones lógicas
de una memoria segmentada

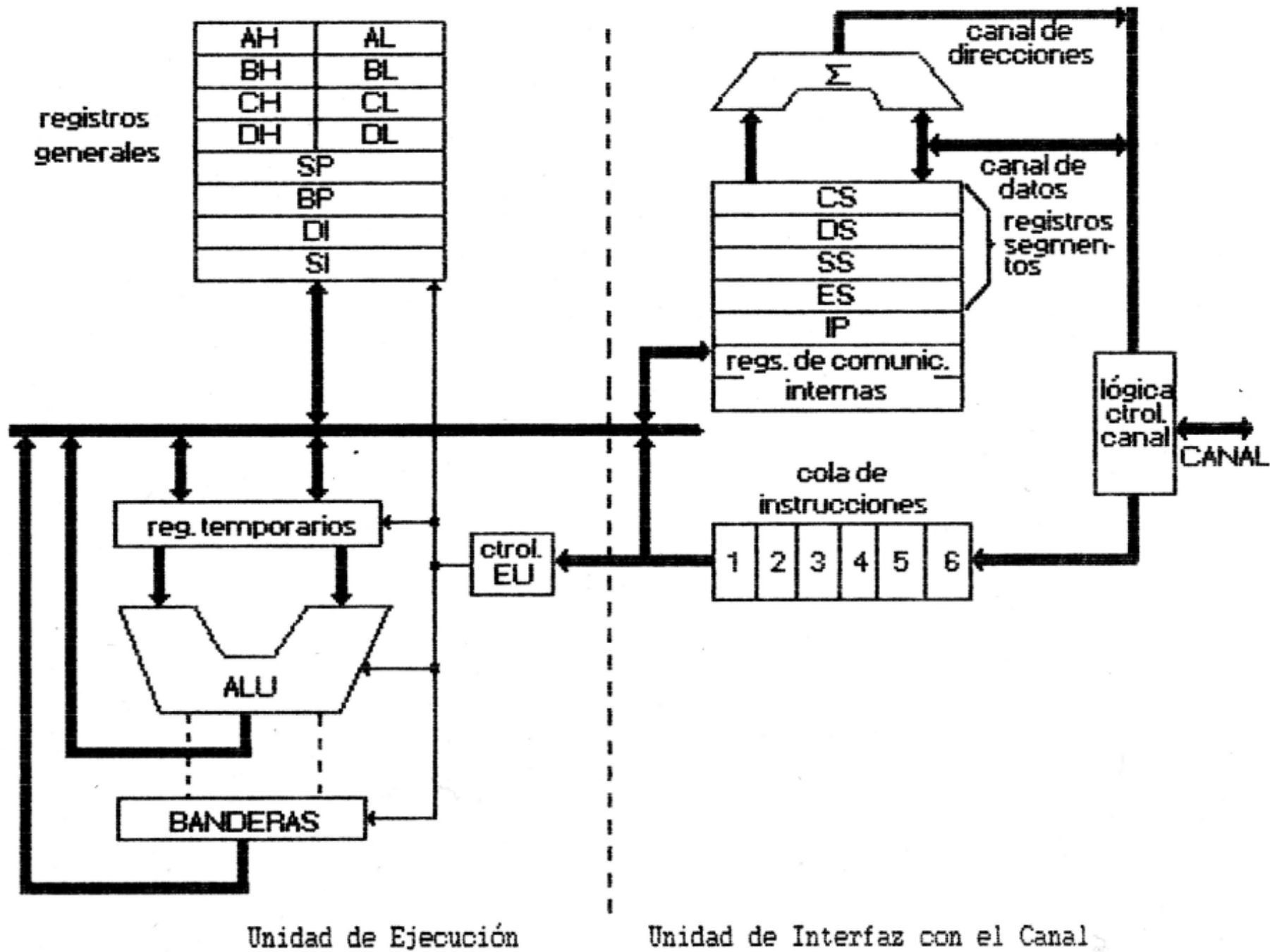


Arquitectura del microprocesador 8086



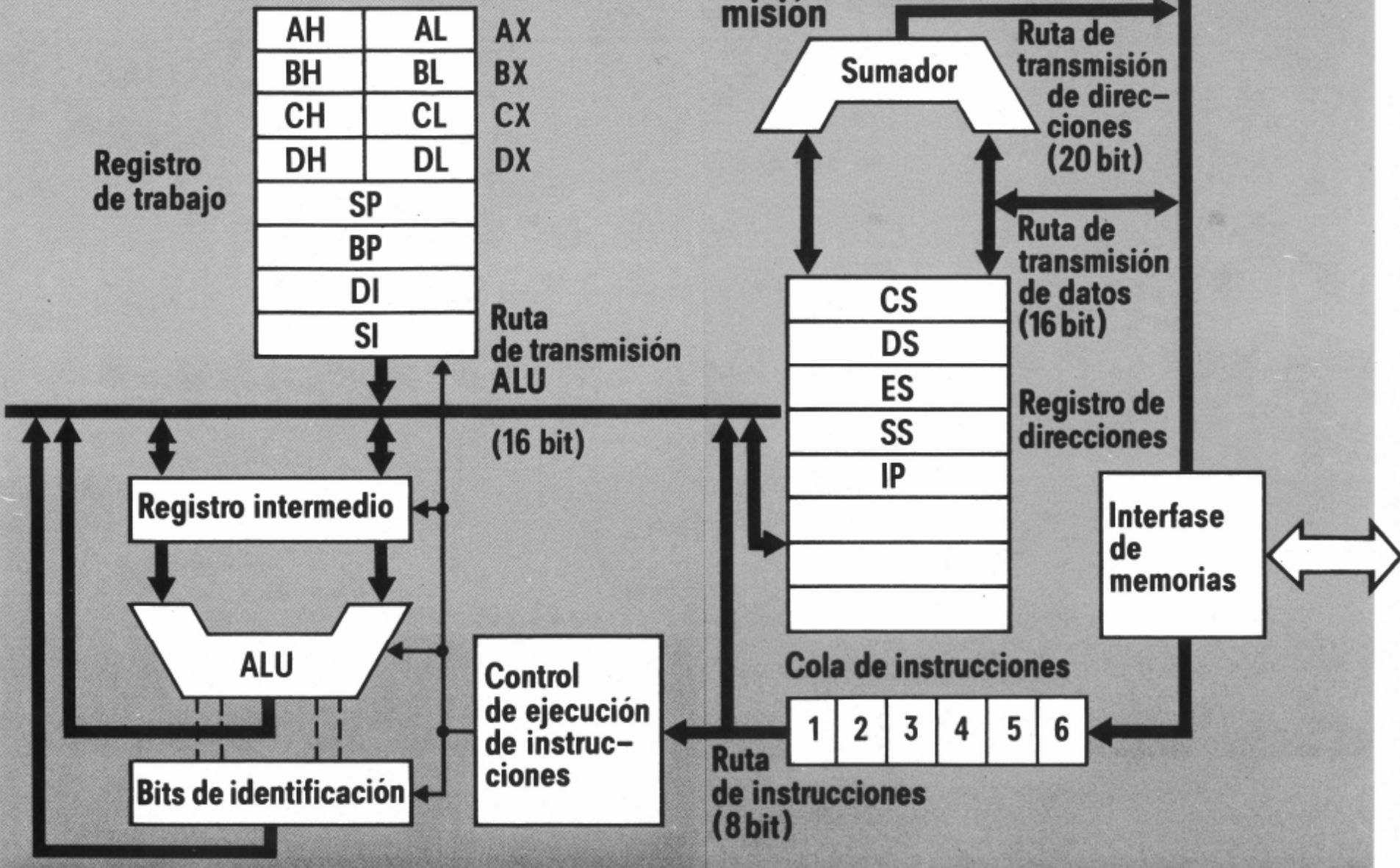
Arquitectura del microprocesador 8086

- **Unidad de Ejecución (EU)**
 - decodifica y ejecuta las instrucciones
- **Unidad de Interfaz con el Canal (BIU)**
 - realiza las operaciones de acceso a memoria o dispositivos de I/O.
- Buffer FIFO (denominada **Cola de Instrucciones**) entre ambas (6 bytes)



Unidad de ejecución de instrucciones

Unidad de interfaces de rutas de transmisión



Unidad de Ejecución (EU)

Función:

- Ejecutar las instrucciones.
- Proveer el manejo de datos y direcciones a la BIU.
- Manejo general de registros y banderas ("flags").

Unidad de Ejecución (EU)

Elementos:

- Una Unidad Aritmética y Lógica de 16 bits.
- Un Registro de Estado.
- Una Unidad de Control.
- Ocho Registros generales de 16 bits.

Unidad de Ejecución (EU)

- **Registros Generales**

- 4 de 16 bits: AX, BX, CX y DX,
- 8 de 8 bits: AH, AL, BH, BL, CH, CL, DH y DL
- Registros Punteros: SP, BP, SI y DI

- **Registro Banderas**

- CF(carry) , AF(carry aux), OF(overflow), SF(signo), PF(paridad), ZF(cero), DF(dirección), IF(interrupción) y TF(trampa)

Unidad de Interfaz con el Bus (BIU)

Función:

- Transferir datos entre la CPU y memoria o dispositivos de I/O, bajo demanda de la EU.
- Ejecutar todos los ciclos de bus externos.
- Realizar la búsqueda de instrucciones de la memoria y colocarlas en la cola de instrucciones para su posterior ejecución, durante los períodos en los que la EU no pide acceso al canal.

Unidad de Interfaz con el Bus (BIU)

Elementos:

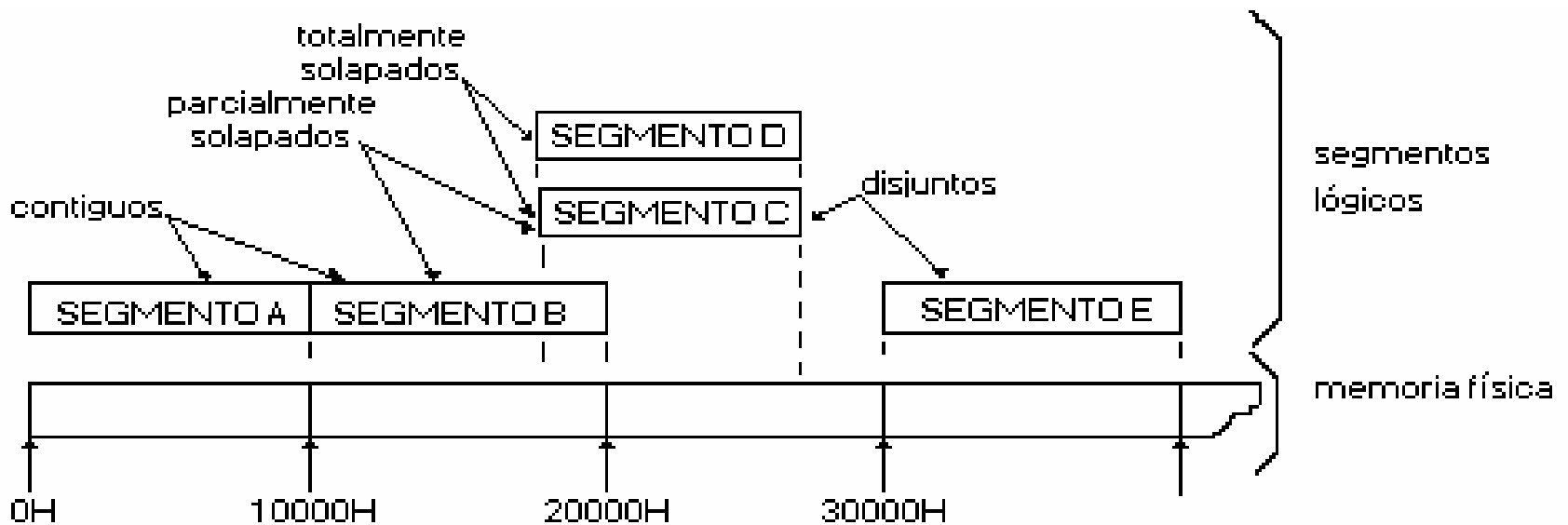
- Cuatro Registros Segmentos de 16 bits: (CS, SS, DS, ES).
- Registro Puntero de Instrucciones de 16 bits: (IP).
- Registros de Comunicaciones Internas.
- Un sumador para generar los 20 bits de direcciones físicas.
- Una Cola de Instrucciones de 6 bytes

Acceso a Memoria

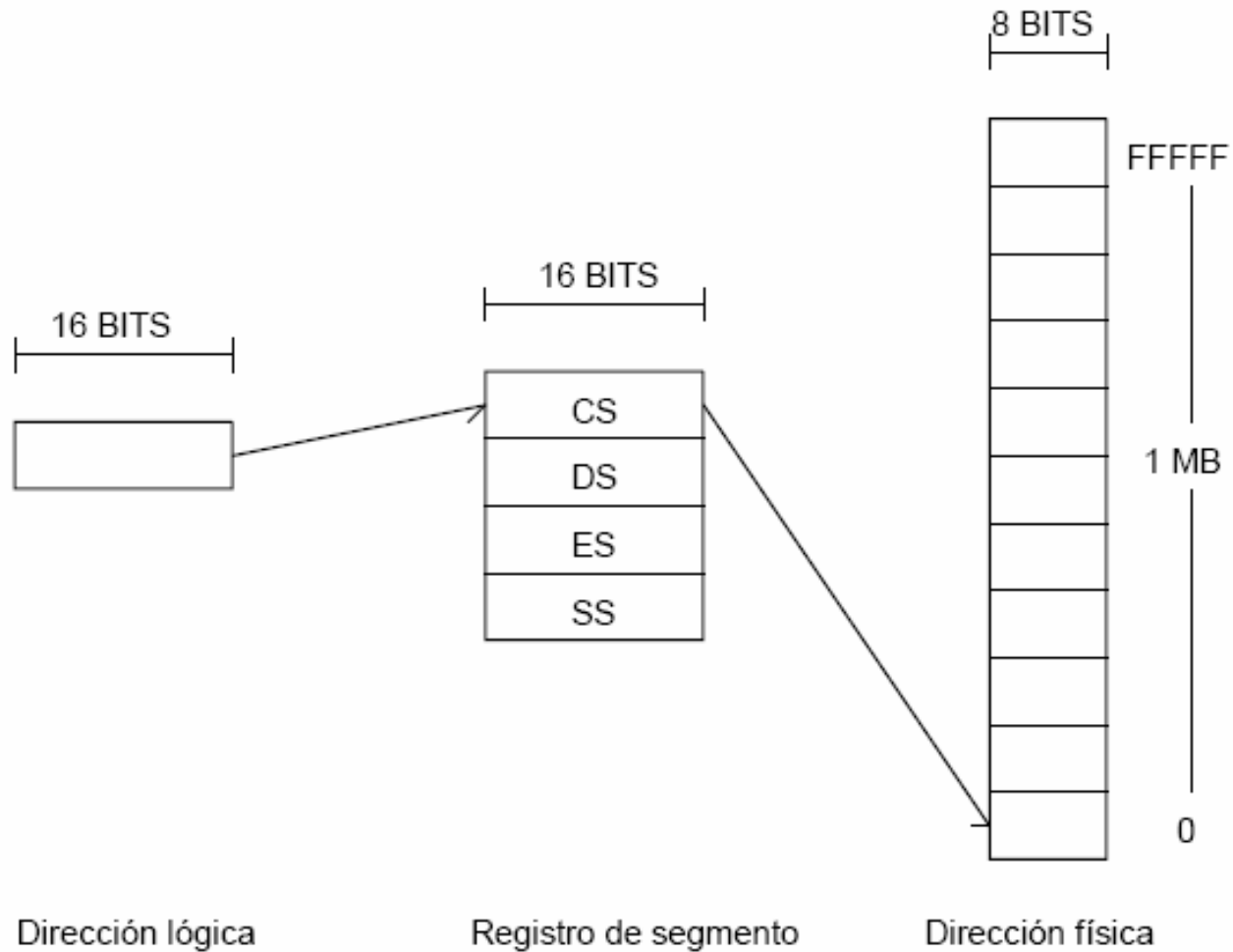
- Un Mbyte de direccionamiento
- La EU maneja direcciones de 16 bits
- La BIU transforma la dirección en 20 bits
- Memoria segmentada
- Longitud del segmento: 64 Kbytes
- Tipos de segmentos:
 - Código
 - Datos
 - Pila
 - Extra

Acceso a Memoria

- Segmentación simbólica

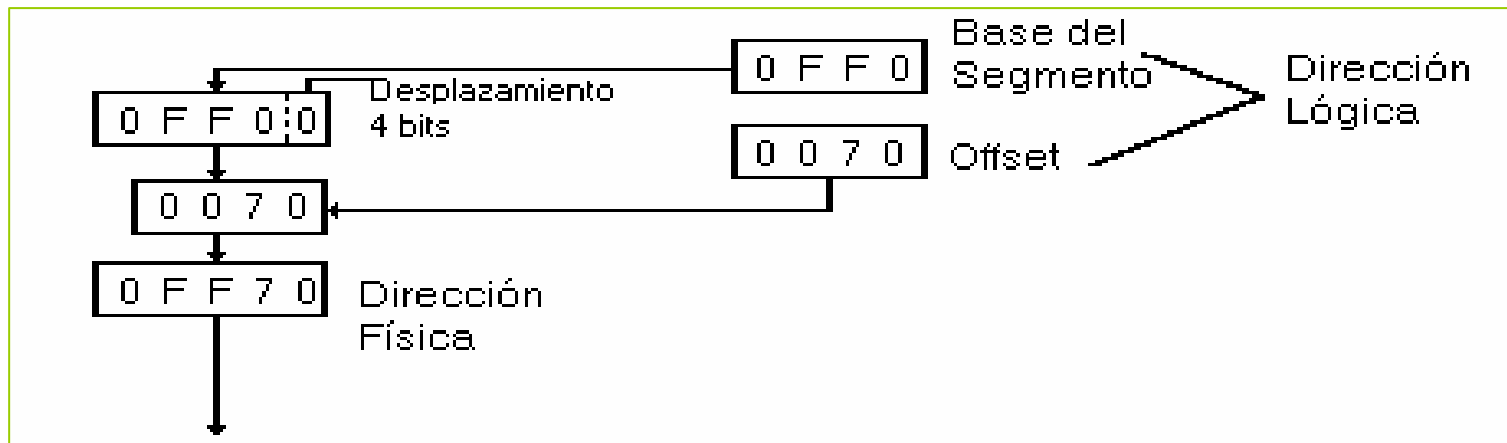


- Los registros segmentos indican el comienzo del segmento



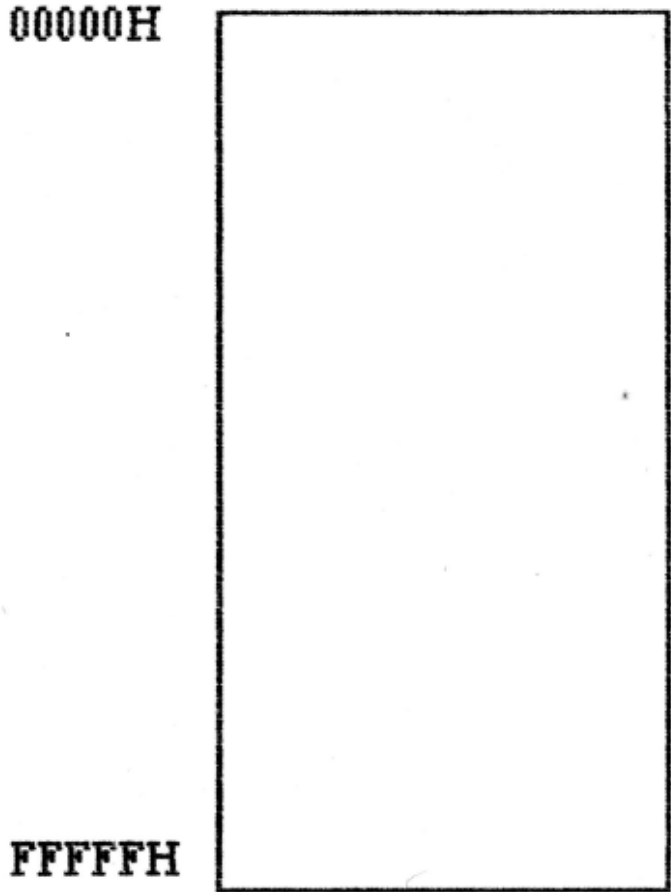
Mecanismo de Mapeo

- **Segmento:** es una unidad lógica de memoria de hasta 64 Kbytes de longitud. A cada segmento se le asocia una dirección base que indica el lugar físico de memoria de comienzo del mismo.
- **Dirección base:** es una cantidad de 20 bits sin signo. Tal cantidad posee los cuatro bits menos significativos en *cero* y los 16 bits restantes corresponden al contenido de uno de los registros segmento.
- **Offset:** es la distancia en bytes dentro de un segmento, desde la base del mismo hasta el lugar de memoria a ser accedido. El offset es una cantidad de 16 bits sin signo.
 - Segmento de códigos: offset “IP”
 - Segmento de pila: offset “SP”
 - Segmento de datos: offset “dirección efectiva”

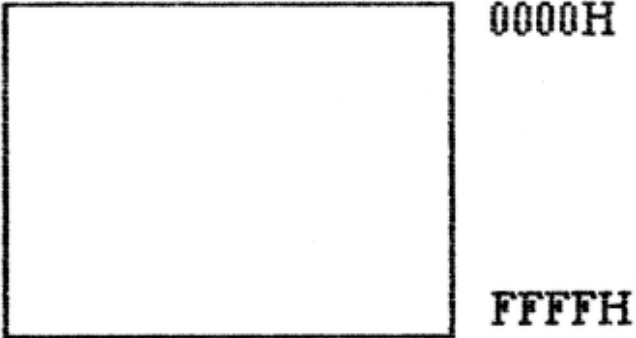


Tipo de referencia de memoria	Segmento por defecto	Segmento alternativo	Offset
Códigos de Instr.	CS	----	IP
Operaciones de pila	SS	----	SP
Variables	DS	CS,ES,SS	EA
String Fuente	DS	CS,ES,SS	SI
String Destino	ES	----	DI

Espacio de Direccionamiento y Formas de Acceso

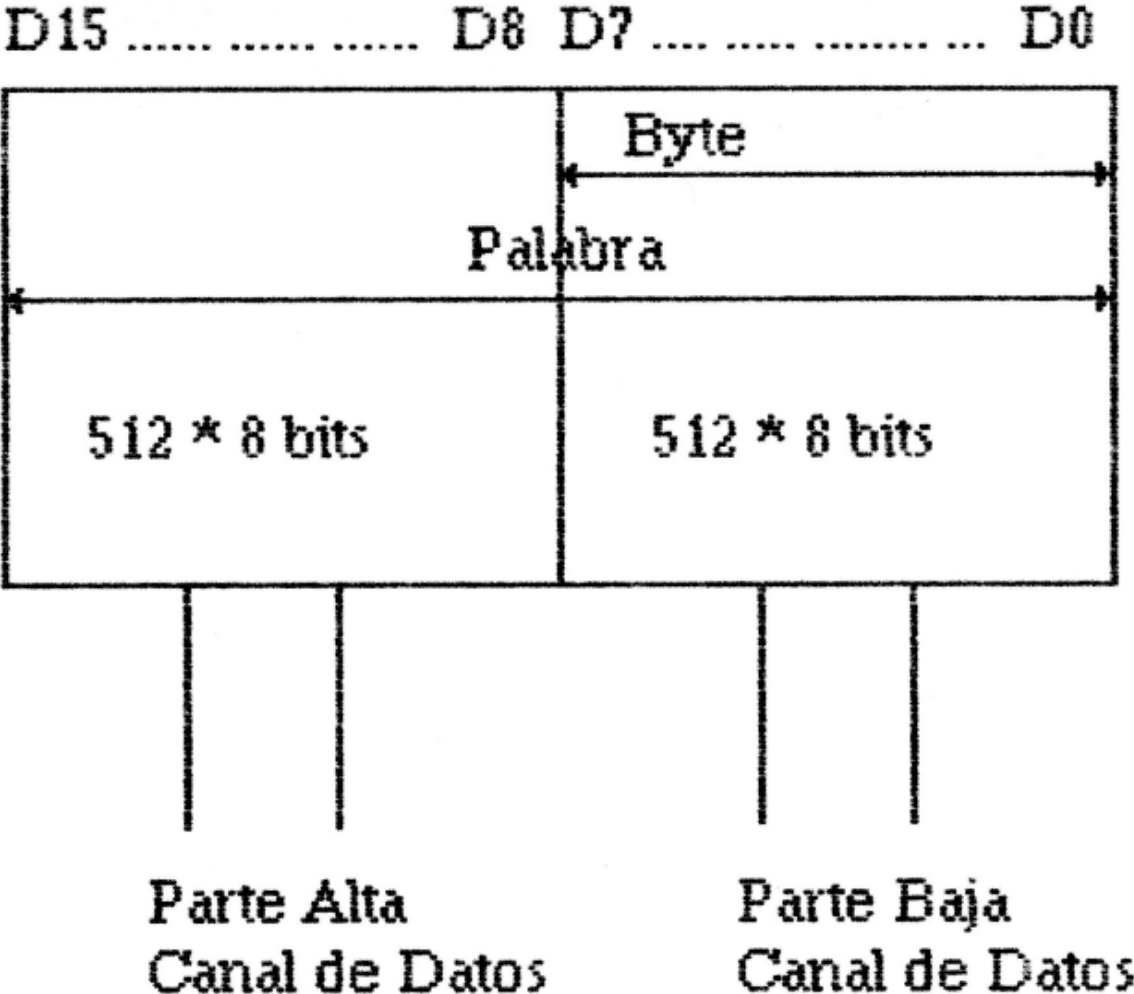


Espacio de Memoria
1 Megabytes



Espacio de Entrada/Salida
64 Kbytes

Espacio de Direccionamiento y Formas de Acceso



Espacio de Direccionamiento y Formas de Acceso

